



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **2001184857 A**(43) Date of publication of application: **06.07.01**

(51) Int. Cl.

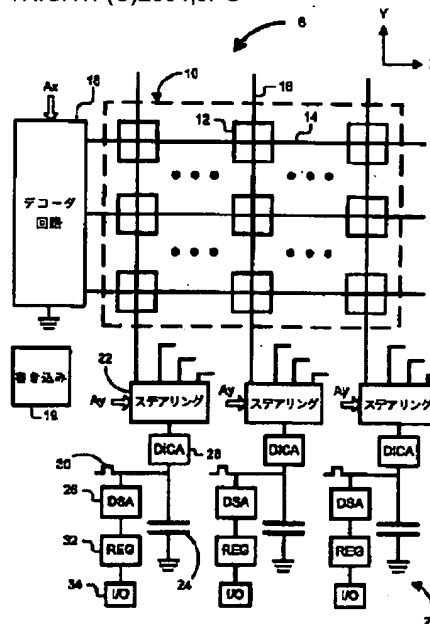
G11C 11/14**G11C 11/15****H01L 27/105****H01L 43/08**(21) Application number: **2000330455**(22) Date of filing: **30.10.00**(30) Priority: **29.10.99 US 1999 430611**(71) Applicant: **HEWLETT PACKARD CO <HP>**(72) Inventor: **PELLNER FREDERICK A
ELDREDGE KENNETH J
TRAN LUNG T**(54) **CIRCUIT FOR SENSING MEMORY CELL
RESISTIVE STATE IN MRAM DEVICE**

COPYRIGHT: (C)2001,JPO

(57) Abstract:

PROBLEM TO BE SOLVED: To reliably sense the resistive state of a memory cell in an MRAM device.

SOLUTION: The resistance of a selected cell 12 in the MRAM device 8 is sensed by a read circuit 20. The circuit 20 includes a direct injection charge amplifier 28, an integrator capacitor 24 and a digital sense amplifier. The amplifier 28 supplies current to the capacitor 24 and meanwhile, maintains the potential of unselected memory cells 12 of the device 8. The amplifier 28 applies a fixed voltage to the selected memory cell 12, and the digital sense amplifier 26 measures the integration time of a signal in the capacitor 24. The signal integration time represents whether the resistance of the device 8 is in a 1st state R or in a 2nd state ($R+\Delta R$).



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-184857

(P2001-184857A)

(43) 公開日 平成13年7月6日(2001.7.6)

(51) IntCl.	識別記号	P I	テマコード(参考)
G 1 1 C 11/14		G 1 1 C 11/14	Z
11/15		11/15	
H 0 1 L 27/105		H 0 1 L 43/08	Z
43/08		27/10	4 4 7

審査請求 未請求 請求項の数 8 O L (全 15 頁)

(21) 出願番号 特願2000-330455(P2000-330455)

(22) 出願日 平成12年10月30日(2000. 10. 30)

(31) 優先権主張番号 09/430611

(32) 優先日 平成11年10月29日(1999. 10. 29)

(33) 優先権主張国 米国 (US)

(71) 出願人 398038580
ヒューレット・パカード・カンパニー
HEWLETT-PACKARD COM
PANY
アメリカ合衆国カリフォルニア州パロアル
ト ハノーバー・ストリート 3000

(72) 発明者 フレデリック・エイ・ベルナー
アメリカ合衆国カリフォルニア州94306,
パロ・アルト, ラモーナ・ストリート
3234

(74) 代理人 100099623
弁理士 奥山 尚一 (外2名)

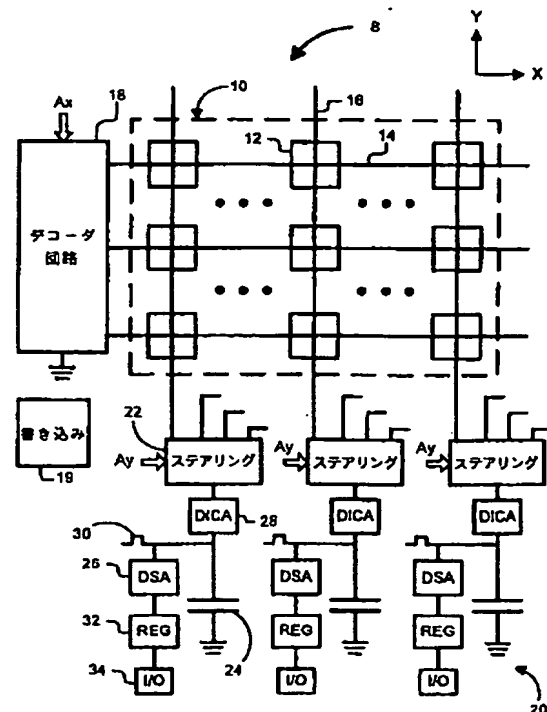
最終頁に続く

(54) 【発明の名称】 MRAMデバイス内のメモリセルの抵抗状態を感知する回路

(57) 【要約】

【課題】 MRAMデバイス中のメモリセルの抵抗状態を信頼性よく感知すること。

【解決手段】 MRAMデバイス(8)中の選択されたメモリセル(12)の抵抗は、読み出し回路(20)によって感知される。読み出し回路(20)は、直接注入電荷増幅器(28)、積分器キャパシタ(24)、およびデジタルセンス増幅器を含む。直接注入電荷増幅器(28)は、積分器キャパシタ(24)に電流を供給する一方で、MRAMデバイス(8)の非選択メモリセル(12)の電位を維持する。電荷増幅器(28)は、固定電圧を選択されたメモリセル(12)に印加し、デジタルセンス増幅器(26)は、積分器キャパシタ(24)における信号の積分時間を測定する。信号積分時間は、MRAMデバイス(8)の抵抗が第1の状態(R)、第2の状態($R + \Delta R$)のいずれであることを表わす。



【特許請求の範囲】

【請求項1】 MRAMデバイス内のメモリセルの抵抗状態を感知する回路であって、
積分器と、

前記積分器と前記メモリセルとに結合され、前記積分器における電圧が基準電圧に到達するまでの時間量を測定し、前記測定された時間量を閾値と比較する、センス増幅器と、を備え、

前記時間量が前記閾値よりも少なければ、前記メモリセルは第1の抵抗状態にあり、

前記時間量が前記閾値よりも大きければ、前記メモリセルは第2の抵抗状態にある、ことを特徴とする回路。

【請求項2】 前記センス増幅器は、カウンタ値を記憶するカウンタと、前記積分器における電圧が基準電圧に等しくなるまで、前記カウンタ値をクロック周波数でインクリメントするクロックと、を含み、

前記カウンタの最上位ビットは、前記メモリセルが前記第1および第2の抵抗状態のいずれにあるかを示す、ことを特徴とする請求項1に記載の回路。

【請求項3】 前記カウンタの内容を記憶し、且つ前記カウンタに値をロードするプリセットレジスタをさらに備え、

前記プリセットレジスタが前記カウンタと一体化されていることを特徴とする請求項2に記載の回路。

【請求項4】 前記カウンタおよび前記プリセットレジスタを制御して、非破壊的読み出しを実行するコントローラをさらに備え、前記コントローラは、基準セルおよび基準電圧で前記積分器を充電させることによって、前記カウンタに閾値を決定させ、前記カウンタに、前記積分器における電圧が基準電圧に到達する時間量を測定させる、ことを特徴とする請求項3に記載の回路。

【請求項5】 前記カウンタ、前記プリセットレジスタ、および書き込み回路を制御して、破壊的読み出しを実行するコントローラをさらに備え、前記コントローラは、

前記メモリセルおよび基準電圧で、前記積分器を少なくとも一度充電させ、

前記カウンタに、前記積分器における電圧が前記基準電圧に到達するまでの時間量の第1の測定を、少なくとも一度行わせ、

前記書き込み回路に、少なくとも一つの既知の論理状態を前記メモリセルに書き込ませ、

前記メモリセルおよび基準電圧で、前記積分器を充電させ、

前記カウンタに、前記積分器における前記電圧が前記基準電圧に到達するまでの時間量の第2の測定を、少なくとも一度行わせ、

前記プリセットレジスタおよび前記カウンタに、前記第

1および第2の時間量を比較して、前記抵抗、ひいては前記メモリセルの論理状態を決定させ、必要であれば、前記書き込み回路に、前記メモリセルへのライトバックを行わせる、ことを特徴とする請求項3に記載の回路。

【請求項6】 前記カウンタは複数のレジスタを含み、前記レジスタの各々は、T型フリップフロップを含み、前記T型フリップフロップの各々は、クロック入力とQ出力とを有し、前記レジスタの一つは最下位ビットを提供し、前記レジスタの別の一つは最上位ビットを提供し、

前記最下位ビットの前記フリップフロップの前記クロック入力、前記クロックの出力に結合されて、前記最上位ビットを除く各フリップフロップの前記Q出力は、次に高位のフリップフロップの前記クロック入力に結合され、

前記最上位ビットの前記フリップフロップの前記Q出力が、I/Oパッドに結合されている、ことを特徴とする請求項2に記載の回路。

【請求項7】 前記各レジスタは、前記フリップフロップに結合されたラッチをさらに含んでおり、該各ラッチの出力は、関連する前記フリップフロップの前記Q出力の補数を提供する、ことを特徴とする請求項6に記載の回路。

【請求項8】 前記各レジスタは、プリセット値をその関連した前記フリップフロップに入力する回路をさらに備えており、

該各回路は、プリセット__イン入力を有しており、前記最上位ビットの前記回路の前記プリセット__イン入力は、電源電圧VDDに結合されており、

前記最下位ビットを除く前記各ラッチの前記出力は、次に低位のレジスタの前記回路の前記プリセット__イン入力に結合されている、ことを特徴とする請求項7に記載の回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、データ記憶のためのランダムアクセスメモリに関する。より具体的には、本発明は、メモリセルのアレイと、そのメモリセルの抵抗を感知するためのセンス増幅器とを含む磁気ランダムアクセスメモリデバイスに関する。

【0002】

【従来の技術】磁気ランダムアクセスメモリ（「MRAM」）は、長期間のデータ記憶用と考えられている不揮発性メモリである。MRAMデバイスに対する読み出し・書き込み動作は、ハードディスクドライブのような従来の長期間記憶デバイスにおける読み出し・書き込み動作よりも、速いオーダで実行される。加えて、MRAMデバイスは、ハードディスクドライブや他の従来の長期間記憶デバイスに比べて、よりコンパクトで且つ消費電

力がより小さい。

【0003】典型的なMRAMデバイスは、メモリセルのアレイを含んでいる。ワード線がメモリセルの行に沿って延び、ビット線がメモリセルの列に沿って延びている。各メモリセルは、ワード線のうちの1本とビット線のうちの1本との交点に位置している。

【0004】メモリセルは、1ビットの情報を、磁化方向として記憶する。各メモリセルの磁化は、所与の時点で、2つの安定方向のうち的一方であると考えられる。これらの2つの安定方向、すなわち平行および反平行は、論理値「0」および「1」を表している。

【0005】磁化方向は、スピントンネルデバイスのようなメモリセルの抵抗に影響を与える。例えば、メモリセルの抵抗は、磁化方向が平行であれば第1の値Rを有し、磁化方向が平行から反平行に変わると、メモリセルの抵抗は第2の値 $R + \Delta R$ に増加する。選択されたメモリセルの磁化方向、ひいてはそのメモリセルの論理状態は、そのメモリセルの抵抗の状態を感知することによって、読み取られ得る。

【0006】抵抗状態は、選択されたメモリセルに電圧を印加し、そのメモリセルを流れるセンス電流を測定することによって、感知され得る。理想的には、この抵抗はセンス電流に比例する。

【0007】

【発明が解決しようとする課題】しかし、アレイ中の単一のメモリセルの抵抗状態の感知は、信頼性がないことがある。アレイ中の全メモリセルは、多くの平行なバスを通じてともに結合している。1つの交点で観測される抵抗は、他の行および列のメモリセルの抵抗に平行な、その交点におけるメモリセルの抵抗に等しい（メモリセルのアレイは、交点抵抗器ネットワークとして特徴付けられ得る）。

【0008】さらに、感知されているメモリセルが、記憶された磁化による異なる抵抗を有している場合に、小さな差電圧が生成されることがある。この小さな差電圧は、寄生または「スニークパス」電流を上昇させる可能性がある。寄生電流は、典型的にはセンス電流よりもはるかに大きく、したがって、センス電流を不明瞭なものにする可能性がある。このために、寄生電流は、抵抗の感知を妨げ得る。

【0009】抵抗状態の感知における信頼性の無さは、製造時の変動、動作温度の変動、およびMRAMデバイスの経時劣化によって、複雑なものになる。これらのファクタは、メモリセル中の抵抗の平均値を、2〜3倍のファクタで変動させることがある。

【0010】MRAMデバイス中のメモリセルの抵抗状態を、信頼性よく感知する必要がある。

【0011】

【課題を解決するための手段】この必要性は、本発明によって満たされる。本発明のある態様によれば、MRAM

Mデバイスの選択されたメモリセルの抵抗状態は、前記選択されたメモリセルと基準電圧とを使用して積分器を充電し、前記積分器における電圧が基準電圧に到達するまでの時間量を計測し、前記時間量を閾値と比較することによって、感知される。前記時間量が前記閾値よりも小さいときには、前記選択されたメモリセルは第1の抵抗状態にあり、前記時間量が前記閾値よりも大きいときには、前記選択されたメモリセルは第2の抵抗状態にある。

10 【0012】本発明の他の態様および効果は、本発明の原理を例によって描写している以下の詳細な説明を、添付の図面と共に参照することによって、明らかになるであろう。

【0013】

【発明の実施の形態】描写目的で図面に示されているように、本発明は、磁気ランダムアクセスメモリデバイスにて具現化される。MRAMデバイスは、メモリセルのアレイと、そのメモリセルからデータを読み出す読み出し回路とを含んでいる。読み出し回路は、直接注入電荷増幅器と積分器キャパシタとデジタルセンス増幅器とを含み、アレイ中の選択されたメモリセルの異なる抵抗状態を、信頼性よく感知することができる。

20 【0014】ここで図1を参照すると、この図1は、メモリセル12のアレイ10を含むMRAMデバイス8を描いている。メモリセル12は、行および列に配列されており、行はx方向に延び、列はy方向に延びている。本発明の説明を単純化するために、比較的少数のメモリセル12のみが示されている。実用上は、 1024×1024 またはそれより大きいメモリセルアレイが使用され得る。

30 【0015】ワード線14として機能するトレースは、メモリセルアレイ10の一方の側の一平面内を、x方向に延びている。ビット線16として機能するトレースは、メモリセルアレイ10の他方の側の一平面内を、y方向に延びている。アレイ10の各行に対して1本のワード線14が存在し、アレイ10の各列に対して1本のビット線16が存在してもよい。各メモリセル12は、対応するワード線14とビット線16との交点に位置している。

40 【0016】メモリセル12は、特定のタイプのデバイスに限定されるものではない。例えば、メモリセル12は、スピン依存型トンネル（「SDT」）デバイスであってもよい。典型的なSDTデバイスは、「ピン留め（pinned）」層と「フリー」層とを含んでいる。ピン留め層は面内方向の磁化を有しているが、この面内磁化は、感度範囲内の印加磁界が存在していても回転しないように、固定されている。フリー層は、ピン留めされていない磁化方向を有している。むしろ、この磁化は、面内に位置している1本の軸（「容易（easy）」軸）に沿った2つの方向の何れかに向くことができる。フリー層

50の磁化とピン留め層52の磁化とが(図2(a)の矢印で示されているように)同じ方向であるとき、その方向は「平行」であると言われる。フリー層50の磁化とピン留め層52の磁化とが(図2(b)の矢印で示されているように)逆向きであるとき、その方向は「反平行」であると言われる。

【0017】フリー層とピン留め層とは、絶縁性トンネル障壁によって隔てられている。この絶縁性トンネル障壁は、フリー層とピン留め層との間で量子力学的トンネルを発生させる。このトンネル現象は電子スピンの依存し、SDTデバイスの抵抗を、フリー層およびピン留め層の相対的な磁化方向の関数とする。

【0018】例えば、メモリセル12の抵抗は、フリー層およびピン留め層の磁化方向が平行であると、第1の値Rである。磁化方向が平行から反平行に変わると、メモリセル12の抵抗は第2の値 $R + \Delta R$ に増加する。典型的な抵抗Rは、約1M Ω であり得る。典型的な抵抗変化 ΔR は、抵抗Rの約10%であり得る。

【0019】データは、磁化をフリー層の容易軸に沿った向きにすることによって、メモリセル12に記憶される。磁化方向が平行になるようにフリー層の磁化を向けることによって、論理値「0」をメモリセル12に記憶してもよく、磁化方向が反平行になるようにフリー層の磁化を向けることによって、論理値「1」をメモリセル12に記憶してもよい。

【0020】各メモリセル12は、外部パワーが存在していなくても、その磁化方向を保持する。したがって、これらのメモリセル12は不揮発性である。

【0021】MRAMデバイス8はまた、読み書き動作中にワード線14を選択する行デコーダ18を含んでいる。ワード線14は、ワード線14を接地接続することによって読み出し動作中に選択されてもよい。

【0022】MRAMデバイス8はまた、読み出し動作中に選択されたメモリセル12の抵抗を感知する読み出し回路と、書き込み動作中に選択されたメモリセル12の磁化を方向付ける書き込み回路19とを含む。読み出し回路は、一般的に20と示されている。書き込み回路19は、本発明の説明を単純化するために、詳細に図示されていない。

【0023】読み出し回路20は、複数のステアリング回路22、積分器キャパシタ24、デジタルセンス増幅器26、直接注入電荷増幅器28、およびリセットスイッチ30を含む。メモリセル12は、行アドレスAxを行デコーダ18に供給し且つ列アドレスAyをステアリング回路22に供給することによって、選択される。行アドレスAxに回答して、行デコーダ18は、ワード線14を接地に結合させる。列アドレスAyに回答して、ステアリング回路22は、ビット線16を電荷増幅器28に結合させる。選択されたメモリセル12は、選択されたワード線14およびビット線16の交点に位置して

いる。

【0024】選択されたメモリセルの列に対して、直接注入電荷増幅器28は、その積分器キャパシタ24に電流を供給する一方で、選択されたビット線16の非選択メモリセル12の電位を維持する。この電位は、MRAMアレイ10の非選択行および列に印加された電位に等しい。電荷増幅器28は、固定電圧を選択されたビット線16に印加し、結果として得られる一定のセンス電流が、積分器キャパシタ24に供給される。デジタルセンス増幅器26は、信号積分時間を測定する。信号積分時間は、一部、第1の値(state)Rまたは第2の値(state) $R + \Delta R$ のどちらかであるメモリセル12の抵抗の関数である。デジタルセンス増幅器26は、メモリセル12の抵抗状態、ひいてはそのメモリセル12に記憶されている論理値を、信号積分時間を閾値と比較することによって決定することができる。デジタルセンス増幅器26の出力は出力レジスタ32に供給され、この出力レジスタ32は、MRAMデバイス8のI/Oパッド34に結合されている。

【0025】読み出し回路20は、データをmビットのワードで読み出ししてもよく、これによって、m個のメモリセル12の抵抗状態が同時に感知される。例えば、k本の隣接するビット線16の第1のグループが第1の電荷増幅器28に多重化され、k本の隣接するビット線16の第2のグループが第2の電荷増幅器28に多重化されるというようなものであってもよい。mビットのワードは、m個の連続したセンス増幅器26/電荷増幅器28を同時に動作することによって、読み出されてもよい。

【0026】単一のデジタルセンス増幅器26が64列ピッチにフィットできるときには、データは16ビットワードとして記憶され、メモリセル12の1024 \times 1024のアレイ10に対して、16個のセンス増幅器26が使用され得る。合計でk=64のビット線16が、各電荷増幅器28に多重化され得る。MRAMデバイス8が多レベルのメモリセルアレイを有しているとき(例えば図7を参照のこと)には、追加レベルからのビット線16が、電荷増幅器28に多重化される。

【0027】各ステアリング回路22は1セットのスイッチを含み、これらのスイッチが、各ビット線16を定電圧源または電荷増幅器28に接続する。各ステアリング回路22は、さらに列デコーダを含んでいる。列デコーダは、1つのスイッチのみを選択して、選択されたビット線16を電荷増幅器28に接続する。他の(非選択の)ビット線16はすべて、定電圧源に接続される。定電圧源は、外部回路から供給されてもよい。

【0028】次に図3を参照すると、図3は、選択されたメモリセル12の読み出し動作中におけるデジタルセンス増幅器26を描いている。選択されたメモリセル12は、抵抗器によって代表されている。

【0029】リセットスイッチ30は、PMOSTランジスタであってもよい。外部制御信号NSINTは、リセットスイッチ30がオン（導通）状態であるかオフ（非導通）状態であるかを制御する。リセットスイッチ30がオンされると、電源電圧VDDが、直接注入電荷増幅器28を通じて積分器キャパシタ24および選択されたメモリセル12に供給される。これより、積分器キャパシタ24は、第1の信号がリセットスイッチ30および選択されたメモリセル12を通る第1のパスP1に沿って伝搬されると、充電される。リセットスイッチ30がオフされると、選択されたメモリセル12を通して流れているセンス電流Isが、積分器キャパシタ24に供給される。第2の（センス）信号は、積分器キャパシタ24および選択されたメモリセル12を通る第2のパスP2に沿って伝搬する。この第2の信号は、選択されたメモリセル12からの電流と、MRAMアレイ10内の寄生電流とを含む。MRAMアレイ10内の寄生電流は、印加されたアレイ電圧とは正確に等しくない、非選択MRAMメモリセル12における電圧のために、上昇する可能性がある。

【0030】積分器電圧が選択されたメモリセル12の電圧よりも大きい限りは、キャパシタ24は線形（リニア）積分器として機能する。

【0031】直接注入電荷増幅器28は、第2の（センス）電流からは独立して、メモリセル12のセンス電圧Vsを制御する。定電圧が全メモリセル12に印加されると（これはメモリセル内の等電位である）、抵抗の変動は、残りの並列メモリ素子12に電流変動を生じさせず、これより、寄生センス電流を、センス電流Isよりも実質的に小さくすることができる。直接注入電荷増幅器28を流れる電流は、選択されたメモリセル12の抵抗に直接的に比例しており、センス電圧Vsにおける変動に対する修正または調整を行う必要は無い。

【0032】メモリセル12内の電圧差を最小化する直接注入電荷増幅器28は、1999/10/29出願の米国特許出願09/430,238号（代理人整理番号No. PDNO 10990999-1）に開示されている。なお、この米国特許出願は、引用することによって本明細書の一部をなすものされる。直接注入電荷増幅器28は、高利得の負帰還増幅器を含み、これが、選択されたビット線の電圧（すなわち、センス電圧Vs）を設定値に制御し、且つセンス電圧Vsの変動を広範囲のセンス電流に対して最小化する。

【0033】メモリセル12の抵抗および積分器キャパシタ24の容量は、リセットスイッチ30が開いた後に積分器キャパシタ24がどれだけ高速に放電されるかを決定する。他のパラメータがすべて等しいとすれば、メモリセル12が抵抗R+ΔRを有しているとき（論理「1」）よりも、メモリセル12が抵抗Rを有しているとき（論理「0」）の方が、積分器キャパシタ24は高

速に放電する。

【0034】センス増幅器26は、積分時間を測定して、選択されたメモリセル12の抵抗状態、ひいては選択されたメモリセル12に記憶された論理値を決定する。センス増幅器26は、キャパシタ電圧VintgをDC基準電圧Vrefと比較する比較器36を含む。センス増幅器26はさらに、Nビットのカウント38、高周波数クロック40、およびゲート42を含む。ゲート42は、クロック40を開始および停止するために使用され、クロック40は、カウント38に、クロック周波数でカウント値をインクリメントさせる。リセットスイッチ30がオフしたときにクロック40が開始され、キャパシタ電圧Vintgが基準電圧Vrefに等しくなったときにクロック40が停止すると、カウント38に記憶されたカウント値は、積分器キャパシタ24における電圧が基準電圧Vrefまで低下するための時間量を示すことになる。

【0035】カウント38を零のカウント値にリセットせずにメモリセル12を読み出すことによって、累積した時間測定結果が生成する。このことを、以下では「累積読み出し」と称する。

【0036】読み出し動作が実行される前に、閾値の負の値が、カウント38にプリロードされる。累積読み出し後に、カウント値の最上位ビットは、選択されたメモリセル12に記憶されている論理値を表す。カウント38の最上位の出力DOUTは、レジスタ32に結合される。

【0037】例えば、基本的な回路パラメータは、センス電流が200nA～500nAの範囲、電源電圧VDDが3.3V、基準電圧Vrefが1.0V、クロック40のクロック周波数が100MHz、および9ビット幅のカウント38に適合するようなサイズにされてもよい。

【0038】各クロックの刻みが10nsに等しいときに、最小で200nAのDCセンス電流が、2.3Vのスイング（VDD-Vref）に対する積分器キャパシタ24の容量Cを512レベルで指す。

【0039】400nAのセンス電流Isが基準論理「1」を表し、350nAのセンス電流が基準論理「0」を表す。電流センスプロセスは、センス電流Isをカウント値CNTに変換するが、このカウント値CNTは、クロック40の周波数、電圧スイング（VDD-Vref）、および積分器キャパシタ24の容量に依存して、 $CNT = \ln(C \times (VDD - Vref) \times 100 / Is)$ である。基準論理「1」は、255個のカウント刻み（すなわち0, 111, 111, 111）に変換され、基準論理「0」は、292個のカウント刻み（すなわち、0, 100, 100, 100）に変換される。

【0040】センス増幅器26は、さらにNビットのブリセットレジスタ44を含んでいる。このNビットのブ

リセットレジスタ44は、カウンタ38の内容を一時的に記憶し、その内容をカウンタ38にロードすることができる。プリセットレジスタ44は、特定の値でロードされることもできる（例えば、初期化のためには0、2の補数加算のためには-1）。これらの特定の値は、MRAMデバイス8のI/Oパッドから供給されることができる。

【0041】コントローラ46が、リセットスイッチ30、カウンタ38、ゲート42、およびプリセットレジスタ44を制御するために設けられている。コントローラ46の制御下で、デジタルセンス増幅器26は、異なるモードで動作することができる。これらの異なるモードは、MRAMデバイス8のI/Oパッドに信号を供給することによって、選択される。

【0042】次に図4～図8を参照すると、これらの図は、デジタルセンス増幅器26の異なる5つの動作モードを描いている。図4は第1のモードを示しており、1サンプルの非破壊的読み出しが実行される。基準セルは、その対応する平面、行アドレス、および列アドレスを選択することによって、選択される（ブロック402）。基準セルは、既知の論理値を有する任意のメモリセル12であり得る。あるいは、基準セルは、アレイ10内のメモリセル12のうちの専用の行、すなわち基準セル行から選択されてもよい。基準値（リファレンス）1および0が、基準セル行の基準セルに書き込まれる。

【0043】それから、論理「0」と論理「1」との間の（クロック刻みにおける）推定時間差 $D/2$ が、カウンタ38にロードされる（ブロック404）。基準セルの累積読み出しが、それから実行される（ブロック406）。カウンタ38が、 $V_{intg} = V_{ref}$ になるまで、カウンタ値CNTをクロック周波数でインクリメントする。これより、カウンタ内のカウンタ値CNTが、時間測定量C（1）によって増加され、これによって $CNT = C（1） + D/2$ となる。

【0044】ステップ406に続いて、閾値Tの負の値が、プリセットレジスタに記憶される（ブロック408）。閾値Tはカウンタ値CNTに等しく、すなわち $T = CNT$ である。カウンタ値CNTの2の補数が、プリセットレジスタ44に記憶される。プリセットレジスタ44の内容は、それからカウンタ38にロードされる（ブロック409）。これより、カウンタ値CNTは、閾値Tの負の値に等しく設定され、すなわち $CNT = -T$ となる。

【0045】閾値Tが記憶された後に、選択されたメモリセル12の論理値(state)が感知される。メモリセル12は、その対応する平面、行アドレス、および列アドレスを選択することによって、選択される（ブロック410）。

【0046】選択されたメモリセル12の累積読み出しが、それから実行される（ブロック412）。カウンタ

38が、 $V_{intg} = V_{ref}$ になるまで、カウンタ値CNTをクロック周波数でインクリメントする。これより、カウンタ内のカウンタ値CNTが、時間測定量C（M）によって増加され、これによって $CNT = C（M） - T$ となる。

【0047】カウンタ値CNTのサインは、選択されたメモリセル12の論理値を示す（ブロック414）。選択されたメモリセル12が、（メモリセル抵抗Rが低いために） $C（M） < T$ となるように積分器キャパシタ24を急速に放電させると、カウンタ38の値が負になり、これによって、最上位ビットが（2の補数表現における）「1」になる。逆に、選択されたメモリセル12が、（メモリセル抵抗 $R + \Delta R$ が高いために） $C（M） > T$ となるように積分器キャパシタ24をゆっくりと放電させると、カウンタ38の値が正になり、これによって、最上位ビットが「0」になる。

【0048】閾値Tの決定後、ステップ402～408は、追加のメモリセル12の読み出しのために繰り返される必要はない。追加のメモリセル12は、閾値Tの負の値をプリセットレジスタ44からカウンタ38にロードし（エントリー点Aを介したブロック409）、追加のメモリセル12を選択し（ブロック410）、累積読み出しを実行し（ブロック412）、カウンタ値CNTのサインを調べる（ブロック414）ことによって、読み出されてもよい。

【0049】MRAMデバイス8が校正されるときにはいつでも、新しい閾値Tが決定され得る。校正（キャリブレーション）は、コンピュータのブートアップ中、または周囲温度、電源電圧、および検出された誤り率の顕著な変化のような大きなシステムの変更が検知されたときに、それに引き続いて行われてもよい。

【0050】読み出し動作の以下の例では、上記で説明されたパラメータを使用し、「1」を記憶している基準セルを読み出すことによってカウンタ値が255になるとする。読み出し動作の開始時には、 $INT[(292 - 255/2)] = 18$ という値がカウンタ38にロードされ、論理値「0」の読み取りと論理値「1」の読み取りとの間の推定放電時間差 $D/2$ を表す（ブロック404）。論理値「1」を記憶している基準セルの累積読み出しが実行され（ブロック406）、これによってカウンタ値CNTが255だけ増加される。これにより、カウンタ値CNT=273となる。カウンタ値CNTの2の補数がプリセットレジスタ44に記憶され（ブロック408）、プリセットレジスタ44の内容がカウンタ38に記憶されて、これによって、 $CNT = -273$ となる（ブロック409）。メモリセル12が選択されて（ブロック410）、選択されたメモリセル12の累積読み出しにより、カウンタ値CNTが290だけ増加する（ブロック412）。第2の累積読み出しの終了時には、カウンタ値CNTは正であり（ $CNT = 17$ ）、こ

れによって、カウンタ38の最上位ビットが、論理値「0」が選択されたメモリセル12に記憶されていることを示す（ブロック414）。

【0051】図5は第2の動作モードを示しており、2サンプルの非破壊的読み出しが実行される。第2のモードは、論理値「1」の読み出しとの論理値「0」の読み出しとの間の放電時間差が、推定される代わりに測定される点を除いて、第1のモードと同様である。

【0052】「1」を記憶している基準セルが、その対応する平面、行アドレス、および列アドレスを選択することによって選択され（ブロック502）、カウンタ値CNTがCNT=0に初期化される（ブロック504）。「1」を記憶しているメモリセル12の累積読み出しが、それから実行される（ブロック506）。カウンタ値CNTが、測定されたカウントC（1）だけ増加されて、CNT=C（1）となる。

【0053】「0」を記憶している基準セルが、その対応する平面、行アドレス、および列アドレスを選択することによって選択され（ブロック508）、「0」を記憶しているメモリセル12の累積読み出しが実行される（ブロック510）。カウンタ値CNTが、測定されたカウントC（0）だけ増加される。これにより、第2の累積読み出しの終了時には、カウンタ値CNTはCNT=C（0）+C（1）となる。

【0054】閾値Tの負の値が、それからプリセットレジスタ44に記憶される（ブロック512）。プリセットレジスタ44の内容が右に1ビットだけシフトされ、カウンタ38にロードされる（ブロック513）。カウンタビットの1ビットシフトは、プリセットレジスタ44が記憶データをカウンタ38にロードするときに、プリセットレジスタ44に記憶されている値に対して「2で割る」という算術処理を実行する。これにより、カウンタ値CNTはCNT=-T/2となる。

【0055】メモリセル12が選択され（ブロック514）、読み出されて（ブロック516）、カウンタ値CNTのサインが検査されて、メモリセル12が論理値「0」または「1」を記憶しているかどうか判定される（ブロック518）。追加メモリセル12の各々は、値-T/2をカウンタ38にロードし（エントリ点Bを介したブロック513）、それからステップ514～518を実行することによって、読み出されてよい。

【0056】図4および図5に描かれている読み出し動作は非破壊的であり、読み出されているメモリセル12の磁化方向は変化しない。しかし、読み出されているメモリセル12の閾値は、直接的に読み出されてはいない。その代わりに、閾値は、基準セルの測定結果から、推定されるか又は推論される。

【0057】対照的に、破壊的読み出し動作では、読み出されるメモリセル12の閾値を直接的に測定するために、磁化方向が変化する。破壊的読み出し動作はすべ

て、選択されたメモリセル12に記憶された値の感知（センシング）、ならびに、その選択されたメモリセル12に対する少なくとも1回の書き込みおよび読み出しを行う。

【0058】図6は、第3の動作モードを示しており、この場合には2サンプルの破壊的読み出しが実行される。メモリセル12が選択され（ブロック602）、推定された放電時間差D/2がカウンタ38にロードされる（ブロック604）。選択されたメモリセル12の累積読み出しがそれから実行され（ブロック606）、これによってカウンタ値がCNT=C（M）+D/2となる。カウンタ値CNTの2の補数がプリセットレジスタ44およびカウンタ38に記憶され、これによって、閾値Tの負の値が記憶される（ブロック608）。

【0059】閾値Tの負の値が記憶されると、選択されたメモリセル12の論理値が決定される。論理値「0」が選択されたメモリセル12に書き込まれ（ブロック610）、選択されたメモリセル12の累積読み出しが実行される（ブロック612）。これによって、カウンタ値がCNT=C（0）-T又はCNT=C（0）-C（M）-D/2となる。これより、積分器キャパシタ24の放電時間測定値が、閾値Tと比較される。

【0060】カウンタ値CNTのサインがそれから検査され、記憶されている値が「1」であるか「0」であるかが判定される（ブロック614）。この破壊的読み出しの実行後に、選択されたメモリセル12の値が再記憶される（ブロック616）。読み出された論理値が「1」であるときには、「1」が、選択されたメモリセル12に書き戻される。読み出された論理値が「0」であるときには、書き戻し動作は実行されない。なぜなら、論理値「0」が選択されたメモリセル12に最後に書き込まれたからである。

【0061】図7は、第4の動作モードを示しており、この場合には3サンプルの破壊的読み出しが実行される。この第4のモードは、本質的に第3のモードと同じ方法で実行され、相違点は、選択されたメモリセル12に記憶された値が2回読み出され、記憶された「1」と記憶された「0」との間の放電時間差が、推定ではなく測定される点である。

【0062】メモリセル12が選択され（ブロック702）、カウンタ38がCNT=0に初期化されて（ブロック704）、選択されたメモリセル12の累積読み出しが2回実行される（ブロック706）。これによって、カウンタCNTがCNT=C（M）₁+C（M）₂となる。カウンタCNTの2の補数がプリセットレジスタ44およびカウンタ38に記憶され、これによって、閾値Tの負の値が記憶される（ブロック708）。

【0063】論理値「0」が選択されたメモリセル12に書き込まれ（ブロック710）、選択されたメモリセル12の累積読み出しが実行される（ブロック71

13

2)。これによって、カウンタCNTが $CNT = C(0) - T$ となる。次に論理値「1」が選択されたメモリセル12に書き込まれ(ブロック714)、新たな累積読み出しが実行される(ブロック716)。これによって、カウンタ値が $CNT = C(1) + C(0) - T = C(1) + C(0) - C(M)_1 - C(M)_2$ となる。

【0064】カウンタ値CNTのサインがそれから検査され、選択されたメモリセルの論理値が「1」であったか「0」であったかが判定される(ブロック718)。この破壊的読み出しの実行後に、選択されたメモリセル12の値が、必要であれば再記憶される(ブロック720)。

【0065】図8は、第5の動作モードを示しており、この場合には平均2L回の破壊的読み出しが実行される。この第5のモードと第4のモードとの相違点は、カウンタCNTの初期化(ブロック804)の後に、メモリセル12の読み出しが2L回実行され(ブロック806)、選択されたメモリセルへの「0」の書き込み(ブロック810)の後に、L回の累積読み出しが実行される(ブロック812)、選択されたメモリセルへの「1」の書き込み(ブロック814)の後に、L回の累積読み出しが実行される(ブロック816)という点である。ここで、 $L > 1$ である。

【0066】例えば、 $L = 2$ であると、平均4回の破壊的読み出しが、以下のようにして実行される。メモリセル12が選択され(ブロック802)、カウンタ値CNTが0に初期化されて(ブロック804)、選択されたメモリセル12の累積読み出しが4回実行され(ブロック806)、カウンタ値CNTの2の補数が閾値Tの負の値として記憶され(ブロック808)、論理値「0」が選択されたメモリセル12に書き込まれ(ブロック810)、累積読み出しが2回実行され(ブロック812)、論理値「1」が選択されたメモリセル12に書き込まれ(ブロック814)、さらに2回の累積読み出しが実行される(ブロック816)。

【0067】カウンタ値CNTのサインがそれから検査され、メモリセル12に記憶された論理値が「1」であったか「0」であったかが判定される(ブロック818)。この破壊的読み出しの実行後に、選択されたメモリセル12の値が、必要であれば再記憶される(ブロック820)。

【0068】各動作モードは、異なった効果を有している。非破壊読み出しモードは、最も高速に実行される。これは、書き込み動作が実行されないからである。基準論理値を測定すれば、論理値を推定するよりも正確であるが、より長い時間がかかる。複数回の読み出しを実行すると、読み出し時間は最も遅くなるが、最も高信頼性となる。複数回の読み出しは、複数回の読み出し動作に対するサンプリングノイズを平均化するために行われる。カウンタ差が小さいという条件では、サンプル数の

(8)

特開2001-184857

14

増加により、サンプルノイズが平均化する。

【0069】図9および図10は、Nビットのプリセット可能なカウンタ200の実施形態を示しており、これは、カウンタ38の機能とプリセットレジスタ44の機能とを組み合わせたものである。図9は、プリセット可能レジスタ200のレジスタ202を示している。このレジスタ202は、1ビットのカウンタ値を記憶するT型フリップフロップ204を含んでいる。このフリップフロップ204は、クロック入力CLKおよびQ出力206を含んでいる。フリップフロップ204の入力におけるクロック入力CLKの「0」から「1」への遷移により、フリップフロップ204の内容が、「1」から「0」へ又は「0」から「1」へ、トグルする。クロック入力CLKが「1」から「0」へ遷移すると、フリップフロップの内容はトグルされない。

【0070】レジスタ202は、第1の回路208を含んでいる。この第1の回路208はラッチ210を含んでおり、これが、プリセットレジスタ44の1ビットに対応する。カウンタ値の1ビットが、トランジスタ214のシフト/反転入力212(すなわちゲート)にパルスを送ることによって、フリップフロップ204からラッチ210に転送される。ラッチ210は、プリセット_アウト出力216を有している。このプリセット_アウト出力216は、Q出力206の補数を提供する。

【0071】レジスタ202は、フリップフロップ204をリセットするか又はフリップフロップ204をプリセット値に設定する第2の回路208も含んでいる。フリップフロップ204は、リセット入力221にパルスを送ることによって、「0」または「1」のいずれか、あるいは外部から供給された値に、リセットされることができる。フリップフロップ204がリセットされる値は、リセットトランジスタ220が接地GNDに引かれるか、電源電圧VDDに引かれるか、または外部回路によってリセット_イン入力222に供給された値に引かれるかに応じて、変化する。

【0072】フリップフロップ204は、第1のプリセット入力224にパルスを送り、これによってプリセット_アウト出力216を内部ノード226に結合させることによって、第1のプリセット値に設定されることができる。フリップフロップ204は、第2のプリセット入力228にパルスを送り、プリセット2_イン入力230の値を内部ノード226に印加することによって、第2のプリセット値に設定されることができる。

【0073】NANDゲート232およびインバータ234が、フリップフロップ204に対するクロックCLKAおよびCLKBを提供する。

【0074】次に図10を参照すると、合計N個のレジスタ202が一組になって、Nビットのプリセット可能なカウンタ200を形成している。最下位ビットLSBのクロック入力CLKは、クロック40からパルスを受

15

け取る。各レジスタ202のQ出力は、次のレジスタのクロック入力CLKに結合されているが、最上位MSBだけは、そのQ出力がカウンタ値SINOUTを提供する。カウンタ38が0にリセットされると、LSBのクロック入力の第1のパルスがカウンタ値CNT=00...01₂を生成し、LSBのクロック入力の第2のパルスがカウンタ値CNT=00...10₂を生成し、LSBのクロック入力の第3のパルスがカウンタ値CNT=00...11₂を生成する、などのようになる。

【0075】レジスタ202のリセット入力221にパルスを印加することで、カウンタ値CNTが、MRAMデバイス8のI/Oパッドに印加されたデジタルワードにリセットされる。これにより、カウンタ値CNTが、-1(11...11₂)、D/2などのような値に設定される。これはまた、カウンタ38を、予期される積分器のオフセットに対して調整またはチューニングさせる。

【0076】MSBのプリセット2__イン入力230は、電源電圧VDDに接続されている。各レジスタ202のプリセット__アウト出力216は、次に下位のレジスタのプリセット2__イン入力230に接続されているが、最下位ビットLSBのみが例外であって、LSBのプリセット__アウト出力216はオープンのままになっている。

【0077】各レジスタ202のシフト/反転入力212および第1のプリセット入力224にパルスを印加することによって、カウンタの内容が反転される。各レジスタ202のシフト/反転入力212および第2のプリセット入力228にパルスを印加することによって、カウンタの内容が反転され且つ左に1ビットだけシフトされる。

【0078】次に図11を参照すると、多レベルMRAMチップ100が描かれている。このMRAMチップ100は、Z個のメモリセルレベルまたは平面102を含み、これらが基板104上にz方向に積層されている。この数Zは、Z≥1の正の整数である。メモリセルレベル102は、二酸化シリコンのような絶縁性材料(図示せず)によって分離されている。読み出しおよび書き込み回路は、基板104の上に形成されてもよい。読み出しおよび書き込み回路は、読み出しおよび書き込みの対象となるレベルを選択するための付加的なマルチプレクサを含んでもよい。

【0079】このように、開示されるMRAMデバイスは、データを信頼性よく読み出すことができる回路を有している。この読み出し回路は、センス電流が読み出し動作中に不明瞭にならないように、寄生電流を低減する。加えて、エージング(経時劣化)や動作温度の変動に対するMRAMデバイスの感度が、低減される。

【0080】デジタルセンス増幅器は、広範囲のDC電流にて作動することができる。これは、積分時間が、DC電流のレベルに対して適合可能だからである。基準電

(9)

特開2001-184857

16

圧Vrefが変化すると、キャパシタ電圧Vintgが基準電圧Vrefに到達するまでの時間も変化する。

【0081】デジタルセンス増幅器に対する論理演算は、プリセット可能なカウンタによって効率的に実現される。単一のNビットカウンタが、カウント動作、反転動作、シフト動作、およびプリセット動作のような動作を実行することができる。結果として、シリコンの表面積資源(real estate)がより効率的に利用され、これにより、デジタルセンス増幅器は、より狭ピッチの列の中にフィットできる。

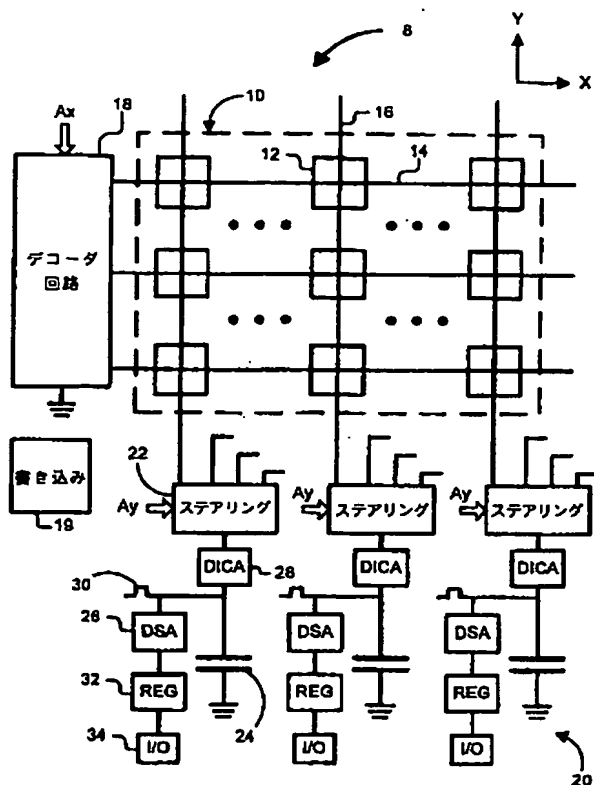
【0082】本発明によるMRAMデバイスは、広い範囲のアプリケーションで使用され得る。図12は、1つ以上のMRAMチップ100に対する一般的なアプリケーションの例を示している。この一般的なアプリケーションは、MRAMストレージモジュール152、インターフェースモジュール154、およびプロセッサ156を含む装置150として具現化されている。このMRAMストレージモジュール152は、長期間記憶用に1つ以上のMRAMチップ100を含んでいる。インターフェースモジュール154は、プロセッサ156とMRAMストレージモジュール152との間のインターフェースを提供する。装置150は、短期間記憶用に高速の揮発性メモリ(例えばSRAM)を含むこともできる。

【0083】ノートブックコンピュータまたはパーソナルコンピュータのような装置150に対しては、MRAMストレージモジュール152は多数のMRAMチップ100を含んでもよく、インターフェースモジュール154は、EIDEまたはSCSIインターフェースを含んでもよい。サーバのような装置150に対しては、MRAMストレージモジュール152は、より多数のMRAMチップ100を含んでもよく、インターフェースモジュール154は、ファイバチャネルまたはSCSIインターフェースを含んでもよい。かかるMRAMストレージモジュール152は、ハードディスクドライブのような従来の長期間記憶デバイスを置換または補完することができる。

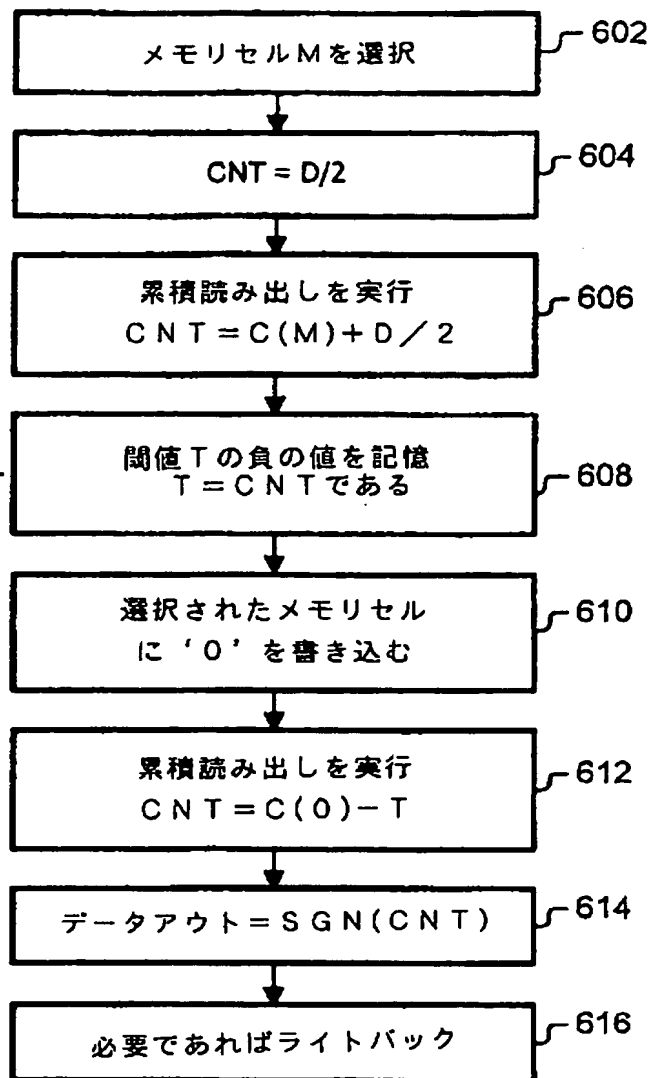
【0084】デジタルカメラのような装置150に対しては、MRAMストレージモジュール152は、より少数のMRAMチップ100を含んでもよく、インターフェースモジュール154はカメラインターフェースを含んでもよい。かかるMRAMストレージモジュール152は、デジタルカメラに搭載されて(オン・ボードで)、デジタル画像の長期間記憶を可能にする。

【0085】本発明のMRAMデバイスは、ハードディスクドライブのような従来の長期間データ記憶デバイスに対して、多くの効果を提供する。MRAMデバイスからのデータアクセスは、ハードディスクドライブのような従来の長期間記憶デバイスからのデータアクセスに比べて、より速いオーダの速度で実行される。加えて、MRAMデバイスは、ハードディスクドライブよりもコン

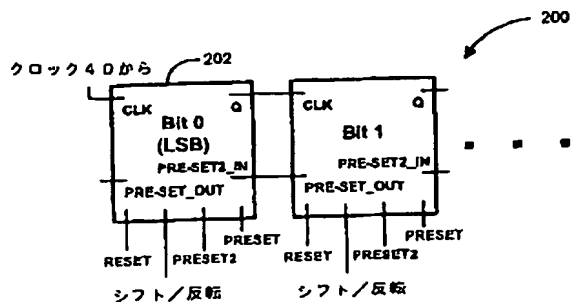
【図1】



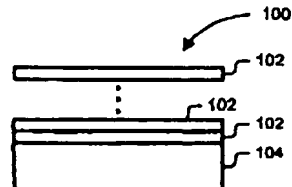
【図6】



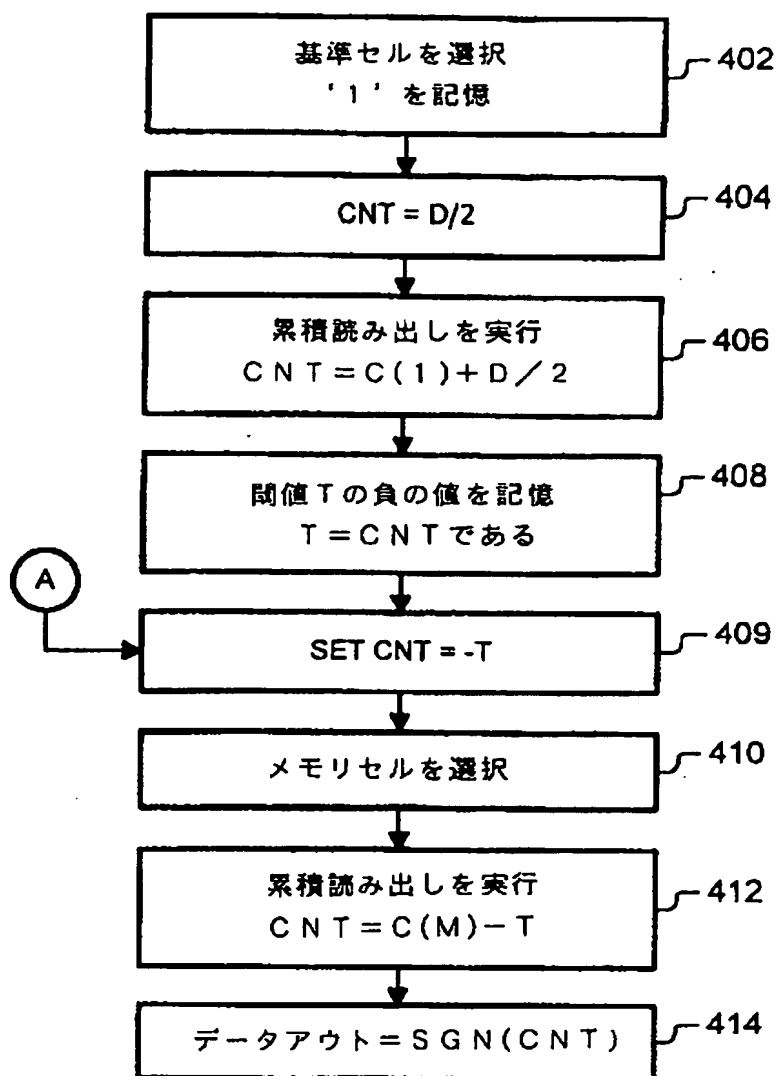
【図10】



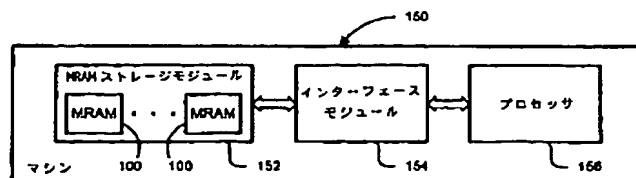
【図11】



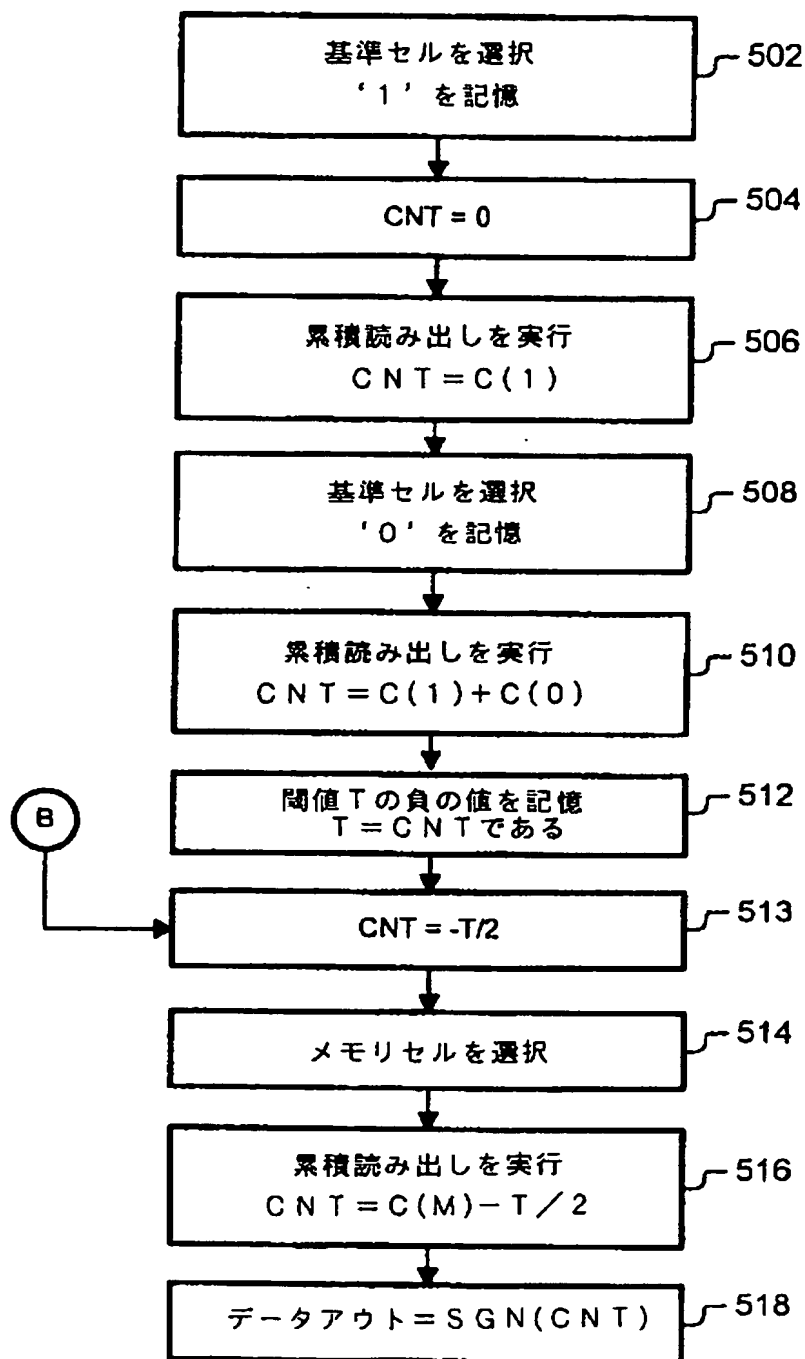
【図4】



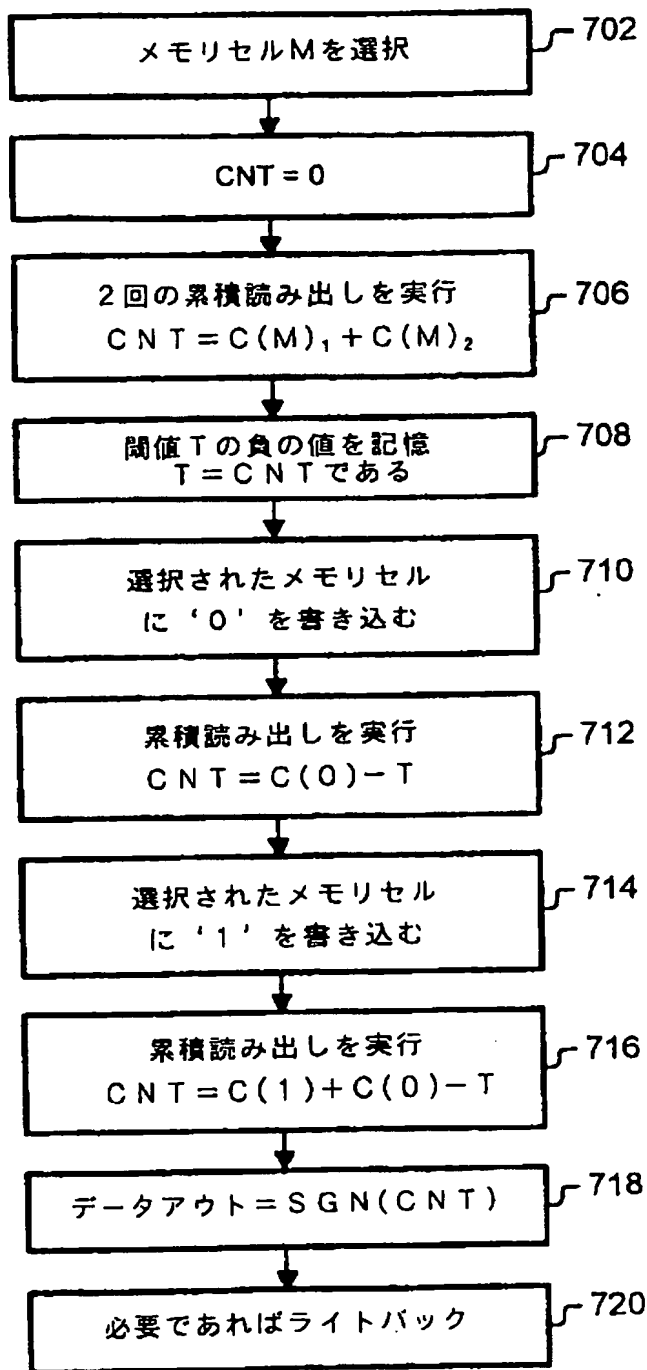
【図12】



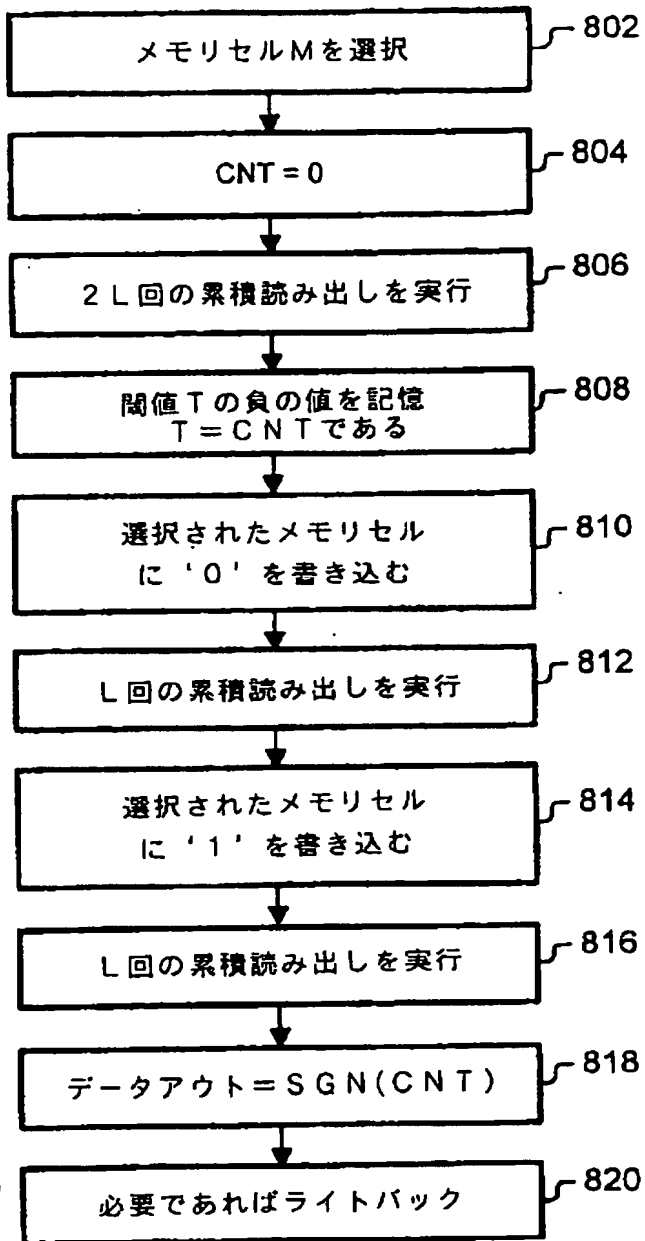
【図5】



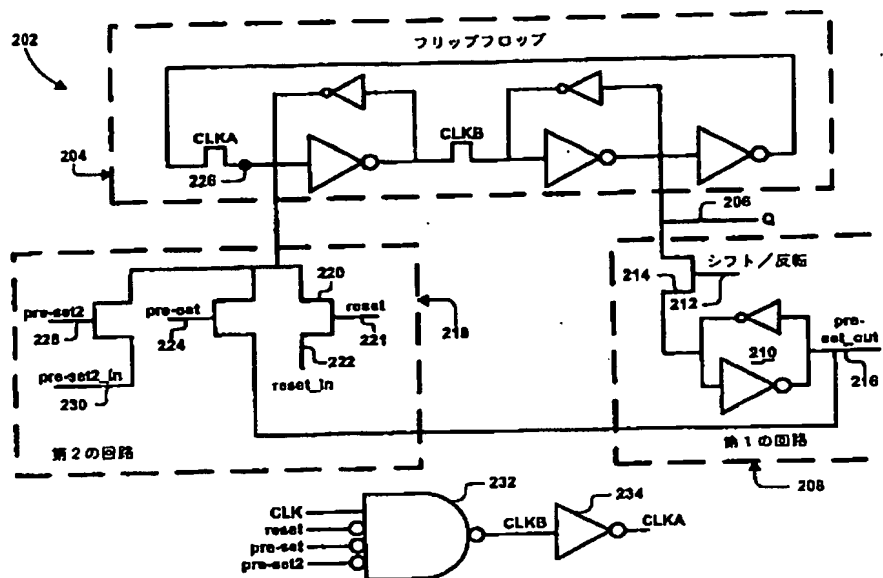
【図7】



【図8】



【図9】



フロントページの続き

(72)発明者 ケネス・ジェイ・エルドレッジ
アメリカ合衆国アイダホ州83709, ボイジ
ー, ケイマス・ストリート 11111

(72)発明者 ラング・ティ・トラン
アメリカ合衆国カリフォルニア州95070,
サラトガ, ウッドブレイ・コート 5085